

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026027

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/331
 H01L 29/73
 H01L 21/205
 H01L 21/28
 H01L 29/165
 H01L 29/417

(21)Application number : 2000-199184

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.2000

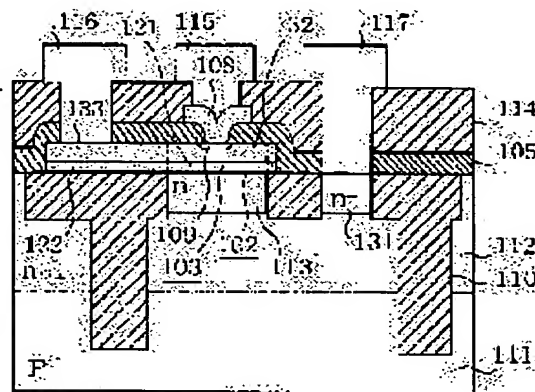
(72)Inventor : YOKOYAMA HIRONARI
 SUGAYA HIROYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which forms an SiGe epitaxial growth layer for base regions on a silicon substrate and a polycrystalline SiGe film for outer base electrodes on an insulation (silicon oxide) film at the same time.

SOLUTION: The method of forming an SiGe film 103 on a semiconductor substrate 111 having an insulation film for element isolating regions, etc., comprises a step for forming a thin Si film 102 on the semiconductor substrate, depositing an SiGe film thereon, a step for epitaxially growing a single crystal Si film 121 and an SiGe film 132 on the semiconductor substrate surface, and a step for forming polycrystalline Si film 122 and an SiGe film 133 on the insulation film. Since the Si film is previously formed on the insulation film, the polycrystalline SiGe film is formed with a high adhesion also on the insulation film. Bipolar transistors are formed, each having a base region made from the SiGe/Si single crystal layer and an outer base electrode made from the SiGe/Si polycrystalline film.



LEGAL STATUS

[Date of request for examination]

07.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision
 of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26027

(P2002-26027A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 21/331		H 0 1 L 21/205	4 M 1 0 4
29/73		21/28	3 0 1 Z 5 F 0 0 3
21/205		29/165	5 F 0 4 5
21/28	3 0 1	29/72	
29/165		29/50	B
審査請求 未請求 請求項の数 7 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2000-199184 (P2000-199184)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 横山 裕也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 菅谷 弘幸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100097629

弁理士 竹村 壽

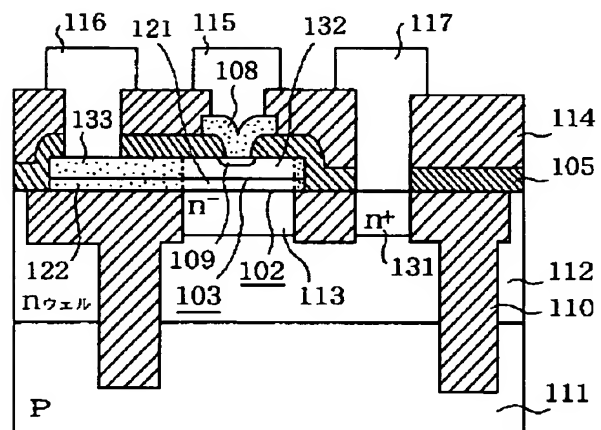
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 シリコン基板上にベース領域となるSiGeエピタキシャル成長層を形成する際に同時に絶縁膜（シリコン酸化膜）上にも外部ベース電極となる多結晶SiGe膜を形成する半導体装置の製造方法及び半導体装置を提供する。

【解決手段】 素子分離領域などの絶縁膜を有する半導体基板111上にSiGe膜103を形成する方法において、この半導体基板上に薄いSi膜102を形成し、その上にSiGe膜を堆積させる。半導体基板表面には単結晶Si膜121及びSiGe膜132がエピタキシャル成長される。絶縁膜上には多結晶Si膜122及びSiGe膜133が形成される。予めSi膜が絶縁膜上に形成されているので多結晶SiGe膜は絶縁膜上にも高い密着性で形成される。SiGe/Si単結晶層をベース領域とし、SiGe/Si多結晶膜を外部ベース電極とするバイポーラトランジスタが形成される。



【特許請求の範囲】

【請求項 1】 シリコン半導体基板と、

前記半導体基板主面に選択的に埋め込まれた絶縁膜と、
前記半導体基板主面及び前記絶縁膜上に形成され、前記
半導体基板主面及び前記絶縁膜に直接形成された下地 S
i 層及びこの下地 S i 層上に形成された S i G e 層から
構成された半導体層とを具備し、
前記半導体層は、前記半導体基板主面上に形成された領
域が単結晶層、前記絶縁膜上に形成された領域が多結晶
層であることを特徴とする半導体装置。

【請求項 2】 前記半導体基板にはバイポーラトランジ
スタが形成され、このバイポーラトランジスタは、第 1
導電型コレクタ領域を有し、前記単結晶層を第 2 導電型
ベース領域として用い、この第 2 導電型ベース領域の表
面領域には第 1 導電型エミッタ領域を有し、且つ前記多
結晶層を外側ベース電極として用いることを特徴とする
請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体層の膜厚に対する前記下地 S
i 層の膜厚は、10～20%であることを特徴とする請
求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記 S i G e 層中の G e 含有量は、15
原子%以下であることを特徴とする請求項 1 乃至請求項
3 のいずれかに記載の半導体装置。

【請求項 5】 シリコン半導体基板主面に選択的に埋め
込まれた絶縁膜を形成する工程と、
前記半導体基板主面及び前記絶縁膜上に下地 S i 層及び
この上に S i G e 層が順次積層された半導体層を形成す
る工程とを具備し、
前記半導体層は、前記半導体基板主面上に形成された領
域が単結晶層、前記絶縁膜上に形成された領域が多結晶
層であることを特徴とする半導体装置の製造方法。

【請求項 6】 前記積層された下地 S i 層及び S i G e
層は、同じ処理装置内で連続して形成することを特徴と
する請求項 5 に記載の半導体装置の製造製法。

【請求項 7】 前記半導体層を形成する工程は、S i H
₄ を含むガスを供給して前記下地 S i 層を形成し、所定
時間経過後さらに G e H₄ ガスを供給して前記 S i G e
層を形成することを特徴とする請求項 5 に記載の半導体
装置の製造製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造
方法に係り、とくに高速動作に有利な S i G e 膜を接続
抵抗が十分に小さい状態で形成して、雑音指数などの電
気特性上有利になるベース領域の形成方法に関するもの
である。

【0002】

【従来の技術】近年、バイポーラ素子のベース領域や C
MOS 素子のソース/ドレイン領域、チャネル領域など
のデバイス活性領域に低温エピタキシャル成長法を用い

て浅い接合を形成することにより、高速化、高集積化を
実現するデバイスが提案され実用化の途上にある。この
ような構造の従来技術のバイポーラトランジスタ及びそ
の製造方法を説明する。図 10 乃至図 13 は、従来のバ
イポーラトランジスタの製造工程断面図を示したもので
あり、図 9 は、その製造方法で形成されたバイポーラ
トランジスタの断面図である。図 9 に示すように、半導
体基板 11 は、p 型シリコン基板からなり、高不純物濃度
の n 型不純物拡散領域 12 (n ウエル) と、不純物拡散
領域 12 に形成された n 不純物拡散領域 13 及び高濃
度不純物拡散領域 131 とを有している。半導体基板 1
1 の主面には、トレンチが形成され、S i O₂ などの絶
縁物が充填されて素子分離領域 10 が形成されている。
半導体基板 11 主面の素子分離領域によって囲まれた素
子形成領域の表面は露出されている。この半導体基板 1
1 にバイポーラトランジスタが形成される。まず、不純
物拡散領域 13 及び高濃度不純物拡散領域 131 は、コ
レクタ領域を構成している。

【0003】素子分離領域 10 及び不純物拡散領域 13
の上には半導体層 2 が形成されている。素子分離領域 1
0 上には多結晶シリコン層 22、不純物拡散領域 13 上
には単結晶シリコン層 21 が形成されており、これらは
半導体層 2 を構成している。単結晶シリコン層 21 は、
ベース領域を構成し、その表面には n 型エミッタ領域 9
が形成されている。多結晶シリコン層 22 は、外部ベー
ス電極を構成している。半導体基板 11 は、シリコン窒
化膜などの絶縁膜 5 により被覆され、さらにシリコン酸
化膜などの絶縁膜 14 により被覆されている。絶縁膜
5、14 にはそれぞれ多結晶シリコン層 22、エミッタ
領域 9 及び高濃度不純物拡散領域 131 が露出するよう
にそれぞれコンタクト孔が形成されている。エミッタ領
域 9 が露出しているコンタクト孔には多結晶シリコンの
外部ベース電極 8 が形成され、その上にエミッタ金属電
極 15 が形成されている。外部ベース電極の多結晶シリ
コン層 22 が露出しているコンタクト孔にはベース金属
電極 16 が形成されている。そして、高濃度不純物拡散
領域 131 が露出しているコンタクト孔にはコレクタ金
属電極 17 が形成されている。

【0004】次に、図 9 に示すバイポーラトランジスタ
の製造方法を説明する。まず、半導体基板 11 の上にホ
ウ素 (B) を含む p 型シリコン半導体層 2 がエピタキシ
ヤル成長によって形成される。このエピタキシャル成長
によって素子形成領域上には p 型単結晶シリコンのベー
ス領域 21 が形成され、素子分離領域 10 の絶縁膜上には
p 型多結晶シリコン層 22 が形成される。このシリコ
ン半導体層 2 は、所定の形状にパターニングされる (図
10)。そして、シリコン半導体層 2 を被覆するように
シリコン窒化膜 (S i₃ N₄) 5 を半導体基板 11 上に
堆積する (図 11)。シリコン窒化膜 5 の単結晶シリコ
ン層 (ベース領域) 21 の部分に R I E (Reactive Ion

Etching)などの異方性エッチングによって開口部6を形成する。この時、開口部6底部には、ベース領域の単結晶シリコン層21が露出している(図12)。次に、シリコン窒化膜5の全面に多結晶シリコン膜を堆積し、この多結晶シリコン膜に砒素(As)をイオン注入する。

【0005】さらに熱工程を加えて、多結晶シリコン膜中の砒素を半導体層2のベース領域21に拡散させ、拡散した部分にn型エミッタ領域9を形成する。さらにR I Eなどの異方性エッチングによって多結晶シリコン膜をパターンニングしてエミッタ引き出し電極8を形成する

(図13)。次に、エミッタ引き出し電極8及びシリコン窒化膜5の上にシリコン酸化膜などの層間絶縁膜14を堆積させ、この層間絶縁膜14にコンタクト孔を開孔してエミッタ引き出し電極8を露出させる。そして、このエミッタ引き出し電極8に電気的に接続するアルミニウムなどのエミッタ金属電極15を形成する。この時、外部ベース電極の多結晶シリコン層22及び高濃度不純物拡散領域131の上のシリコン窒化膜5にもコンタクト孔を形成して、外部ベース電極の多結晶シリコン層22及び高濃度不純物拡散領域131に電気的に接続する

【0006】

【発明が解決しようとする課題】このように従来の製造方法では、単結晶シリコン層のベース領域及び多結晶シリコン層の外部ベース電極は、単結晶領域と多結晶領域とから構成されているが、1つの工程で形成されるので、両領域間の接続抵抗が殆どなく雑音指数など電気特性上非常に有利である。また、さらなる高速化のためにベース領域をSi膜からSiGe膜に変更したSiGeヘテロ接合バイポーラトランジスタの開発が行われている。しかし、Siバイポーラトランジスタと同様の製造工程でSiGe膜をエピタキシャル成長させようとする

と、シリコン基板にはSiGe成長膜(単結晶)容易に形成されるが、シリコン酸化膜に対しては選択比が高いので多結晶SiGe膜が形成されない(形成されても不均一な膜ができてしまうので膜の役をなさない)。したがって、この方法では素子分離領域上の外部ベース電極が形成されないので、ベース金属電極とベース領域との電気的接続を行う外部ベース電極は形成することができない。

【0007】このように、シリコン半導体基板上にベース領域となるSiGeエピタキシャル成長層を形成するときに、同時に絶縁膜(シリコン酸化膜)上に外部ベース電極となる多結晶SiGe膜を形成させる工夫をしなければならなかった。本発明は、このような事情によりなされたものであり、シリコン半導体基板上にベース領域となるSiGeエピタキシャル成長層を形成するときに、同時に絶縁膜(シリコン酸化膜)上にも外部ベース電極となる多結晶SiGe膜を形成させる半導体装置の

製造方法及び半導体装置を提供する。

【0008】

【課題を解決するための手段】本発明は、素子分離領域などとしてシリコン基板表面に形成されるか、あるいは埋め込まれた絶縁膜を有する半導体基板上にSiGe膜を形成する方法において、この半導体基板上に薄いSi膜を形成し、その上にSiGe膜を堆積させることに特徴がある。シリコン基板表面には単結晶Si膜及びSiGe膜がエピタキシャル成長し、絶縁膜上には多結晶Si膜及びSiGe膜が形成される。予めSi膜が絶縁膜上に形成されているので、多結晶SiGe膜は、絶縁膜の上にも高い密着性をもって形成される。このように形成した単結晶SiGe/Siエピタキシャル成長層をベース領域とし、絶縁膜上の多結晶SiGe/Si膜を外部ベース電極とするSiGeヘテロ結合バイポーラトランジスタを構成すれば、ベース領域と金属電極に接続される外部ベース電極との接続抵抗が殆どなく雑音指数などの電気特性上非常に有利である。高速動作を可能にするにはベース領域をSi膜からSiGe膜に変更して、ベース領域中の電子の移動速度を上げる必要であるが、本発明では、ベース領域とこれに続く外部ベース電極との接続抵抗が殆どなく雑音指数などの電気特性上非常に有利なSiGeヘテロ接合バイポーラトランジスタが提供される。

【0009】すなわち、本発明の半導体装置は、シリコン半導体基板と、前記半導体基板主面に選択的に埋め込まれた絶縁膜と、前記半導体基板主面及び前記絶縁膜上に形成され、前記半導体基板主面及び前記絶縁膜に直接形成された下地Si層及びこの下地Si層上に形成されたSiGe層から構成された半導体層とを具備し、前記半導体層は、前記半導体基板主面上に形成された領域が単結晶層であり、前記絶縁膜上に形成された領域が多結晶層であることを特徴としている。前記半導体基板にはバイポーラトランジスタが形成され、このバイポーラトランジスタは、第1導電型コレクタ領域を有し、前記単結晶層を第2導電型ベース領域として用い、この第2導電型ベース領域の表面領域には第1導電型エミッタ領域を有し、且つ前記多結晶層を外部ベース電極として用いるようにしても良い。前記半導体層の膜厚に対する前記下地Si層の膜厚は、10~20%であるようにしても良い。下地Si層が薄いと外部ベース電極が均一に形成されず、厚いと抵抗が高くなり、トランジスタの高速性が期待できない。したがって、上記の範囲が適当である。前記SiGe層中のGe含有量は、15原子%以下であるようにしても良い。

【0010】本発明の半導体装置の製造方法は、シリコン半導体基板主面に選択的に埋め込まれた絶縁膜を形成する工程と、前記半導体基板主面及び前記絶縁膜上に下地Si層及びこの上にSiGe層が順次積層された半導体層を形成する工程とを具備し、前記半導体層は、前記

10

20

30

40

50

半導体基板主面上に形成された領域が単結晶層であり、前記絶縁膜上に形成された領域が多結晶層であることを特徴としている。前記積層された下地Si層及びSiGe層は、同じ処理装置内で連続して形成するようにしても良い。前記半導体層を形成する工程は、SiH₄を含むガスを供給して前記下地Si層を形成し、所定時間経過後さらにGeH₄ガスを供給して前記SiGe層を形成するようにしても良い。

【0011】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図7を参照して第1の実施例を説明する。図6及び図7は、半導体装置（バイポーラトランジスタ）の断面図及び平面図、図2乃至図5は、この半導体装置の製造方法を説明する工程断面図である。図6及び図7に示すように、半導体基板111は、p型シリコン基板からなり、n型不純物拡散領域112（nウェル）と、nウェル112に形成されたn-不純物拡散領域113及び高濃度不純物拡散領域131とを有している。半導体基板111の主面には、トレンチ（STI：Shallow Trench Isolation）が形成されており、この中にSiO₂などの絶縁物が充填されて素子分離領域110が形成されている。本発明は、素子分離領域の構造をSTIに限るものではない。LOCOS（LOCal Oxidation of Silicon）法によるシリコン酸化膜などを用いることも可能である。

【0012】半導体基板111主面の素子分離領域によって囲まれた素子形成領域の表面は露出されている。この半導体基板111にバイポーラトランジスタが形成される。まず、不純物拡散領域113及び高濃度不純物拡散領域131はコレクタ領域を構成している。そして、素子分離領域110及び不純物拡散領域113の上にはSi膜102及びSiGe膜103が積層された半導体層が形成されている。素子分離領域110上には多結晶Si膜122、不純物拡散領域113上には単結晶Si膜121が形成されており、これらはSi膜102を構成している。多結晶Si膜122の上には多結晶SiGe膜133、単結晶Si膜121の上には単結晶SiGe膜132が形成されており、これらはSiGe膜103を構成している。単結晶Si膜121及びこの上の単結晶SiGe膜132は、ベース領域を構成しており、その表面にはn型エミッタ領域109が形成されている。そして、多結晶Si膜122及びこの上の多結晶SiGe膜133は、外部ベース電極を構成している。半導体基板111は、シリコン窒化膜などの絶縁膜105により被覆され、さらにその上をシリコン酸化膜などの絶縁膜114により被覆されている。

【0013】絶縁膜105、114にはそれぞれ多結晶SiGe膜133、エミッタ領域109及び高濃度不純物拡散領域131が露出するようにそれぞれコンタクト孔が形成されている。エミッタ領域109が露出して

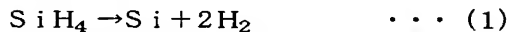
るコンタクト孔には多結晶シリコンのエミッタ引き出し電極108が形成され、その上にAlなどのエミッタ金属電極115が形成されている。外部ベース電極を構成する多結晶SiGe膜133が露出しているコンタクト孔にはAlなどのベース金属電極116が形成されている。そして、高濃度不純物拡散領域131が露出しているコンタクト孔にはAlなどのコレクタ金属電極117が形成されている。

【0014】次に、図6及び図7に示すバイポーラトランジスタの製造方法を説明する。半導体基板111の上にホウ素（B）を含む半導体層102、103がエピタキシャル成長法によって形成される。まず、このエピタキシャル成長法によって素子形成領域上には膜厚が10nm程度のベース領域となるp型単結晶Si膜121が成長し、素子分離領域110の絶縁膜（シリコン酸化膜）上には膜厚10nm程度のp型多結晶Si膜122が形成される（図1）。続いて、このエピタキシャル成長法によってp型単結晶Si膜121上に膜厚50～100nm程度のp型単結晶SiGe膜132が成長し、p型多結晶Si膜122上には膜厚が50～100nm程度のp型多結晶SiGe膜133が形成される（図2）。次に、この半導体層102、103は、ベース領域及び素子分離領域を被覆するように所定の形状にパターニングされる。そして、パターニングされた半導体層102、103を被覆するようにシリコン窒化膜（Si₃N₄）からなる絶縁膜105を半導体基板111上に堆積させる（図3）。この絶縁膜105の単結晶SiGe膜132の部分にRIE（Reactive Ion Etching）などの異方性エッチングによって開口部106を形成する。この時、開口部106底部には、ベース領域となる単結晶SiGe膜132が露出している（図4）。

【0015】次に、絶縁膜105の全面に多結晶シリコン膜を堆積させ、この多結晶シリコン膜に砒素（As）をイオン注入する。さらに熱工程を加えて、多結晶シリコン膜中の砒素を単結晶SiGe膜132に拡散させ、拡散した部分にn型エミッタ領域109を形成する。さらに、RIEなどの異方性エッチングによって多結晶シリコン膜をパターニングしてエミッタ引き出し電極108を形成する（図5）。次に、エミッタ引き出し電極108及び絶縁膜105の上にシリコン酸化膜などの層間絶縁膜114を堆積させ、この層間絶縁膜114にコンタクト孔を開孔してエミッタ引き出し電極108を露出させる。そして、このエミッタ引き出し電極108に電氣的に接続するAlなどのエミッタ金属電極115を形成する。この時、多結晶SiGe膜133及び高濃度不純物拡散領域131上の絶縁膜105にもコンタクト孔を形成して、多結晶SiGe膜133及び高濃度不純物拡散領域131に電氣的に接続するAlなどのベース金属電極116及びAlなどのコレクタ金属電極117を形成する（図6、図7）。

【0016】次に、図8を参照してSiGe/Siからなる半導体層の半導体基板への成長方法を説明する。図8は、半導体基板が載置された反応処理室に供給される反応ガスの供給量と反応時間との関係を示す特性図であり、縦軸は、反応処理室に供給されるガスの流量を表わし、横軸は、反応時間(分)を表わしている。この実施例は、種類の異なる2つの半導体層成分を1つの反応処理室で連続的に積層形成することに特徴がある。半導体基板の上に2層の半導体層がエピタキシャル成長法によって形成される(図6参照)。まず、シリコン半導体基板が反応処理室の支持台上に載置される。反応処理室を密閉し、始めに、時刻Aでシラン(SiH₄)ガスを供給し、一定流量(v1)を反応が終了するまで流し続ける。SiH₄ガスは、次式(1)に示す反応によりSi膜が堆積していく。この時、ボロンなどの不純物をSi膜に拡散させる場合には、例えば、B₂H₆ガスを所定量、短時間供給する。

【0017】



時刻Bまでの時間tの間にSi膜の膜厚は10nm程度になる。ここでSi膜の形成は終了する。このエピタキ



SiGeは、実際は、Si_{1-x}Ge_xで表わされる。本発明では、xは、0.15以下が適当である。そして、流量比(v2/v1)を適宜設定することによりxの値を所定値に設定することが可能である(x=v2/(v1+v2)、1-x=v1/(v1+v2)で表わされる)。このようにして半導体層の下層(下地)のp型単結晶Si膜上に膜厚50~100nm程度のp型単結晶SiGe膜が成長し、絶縁膜に形成されたp型多結晶Si膜上には膜厚が50~100nm程度のp型多結晶SiGe膜が形成される。単結晶SiGe膜厚は、ベース幅を表わしている。このベース領域は、ベース走行時間短縮(すなわち、高速化)のためにSiGe膜の膜厚を薄くする必要がある。しかし、薄くするとC-E間耐圧が下がる。この両者はトレードオフの関係にあり、適切な関係を得るために膜厚を50~100nmとしている。以上、実施例のように、シリコン基板表面には単結晶Si膜及びSiGe膜がエピタキシャル成長し、絶縁膜上には多結晶Si膜及びSiGe膜が形成される。予めSi膜が絶縁膜上に形成されているので、多結晶SiGe膜は、絶縁膜の上にも高い密着性をもって形成される。

【0019】

【発明の効果】以上、本発明によれば、シリコン基板表面には単結晶Si膜及びSiGe膜がエピタキシャル成長し、絶縁膜上には多結晶Si膜及びSiGe膜が形成される。予め下地膜としてSi膜が絶縁膜上に形成されているので、多結晶SiGe膜は絶縁膜の上にも高い密着性をもって形成される。このように形成した単結晶Si

シャル成長法によって素子形成領域上には膜厚が10nm程度のベース領域となるp型単結晶Si膜が成長し、これと連続して素子分離領域の絶縁膜上に膜厚10nm程度のp型多結晶Si膜が形成される。続いて、このエピタキシャル成長法によって、SiGe膜を堆積させる。すなわち、時刻Bにおいて、SiH₄ガスの供給に併せてGeH₄ガスを供給し、一定流量(v2)を反応が終了するまで流し続ける。SiH₄ガス及びGeH₄ガスの供給により、次式(2)に示すようにSiGe膜が堆積していく。この時、ボロンなどの不純物をSiGe膜に拡散させる場合には、例えば、B₂H₆ガスを所定量、短時間供給する。成長速度は約30nm/min(実際はGeH₄の供給量を変化させると成長速度も変化する)である。したがって、Si膜の形成時間は、約20秒であり、SiGe膜の形成時間は、約2~3分である。また、この時の成長条件は、温度が600~700℃、圧力が10torr、SiH₄ガス流量が200cm³、GeH₄ガス流量が狙う組成によって可変である。

【0018】

iGe/Siエピタキシャル成長層をベース領域とし、絶縁膜上の多結晶SiGe/Si膜を外部ベース電極とするSiGeヘテロ結合バイポーラトランジスタを構成すれば、ベース領域と金属電極に接続される外部ベース電極との接続抵抗が殆どなくなり雑音指数などの電気特性上非常に有利である。本発明では、ベース領域とこれに続く外部ベース電極との接続抵抗が減少することによって、トランジスタの高速動作が可能になると共に素子領域の面積が縮小され、従来より動作周波数が高く、熱雑音の低く、消費電力の少ないバイポーラトランジスタを形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す工程断面図。

【図2】本発明の半導体装置の製造方法を示す工程断面図。

【図3】本発明の半導体装置の製造方法を示す工程断面図。

【図4】本発明の半導体装置の製造方法を示す工程断面図。

【図5】本発明の半導体装置の製造方法を示す工程断面図。

【図6】本発明の半導体装置の断面図。

【図7】図6に示す半導体装置の平面図。

【図8】半導体基板が載置された反応処理室に供給される反応ガスの供給量と反応時間との関係を示す特性図。

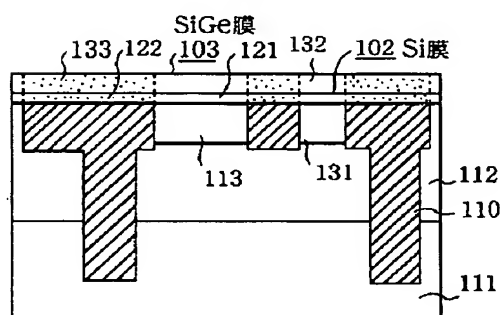
【図9】従来の半導体装置の製造方法を示す工程断面図。

【図13】従来の半導体装置の製造方法を示す工程断面図。

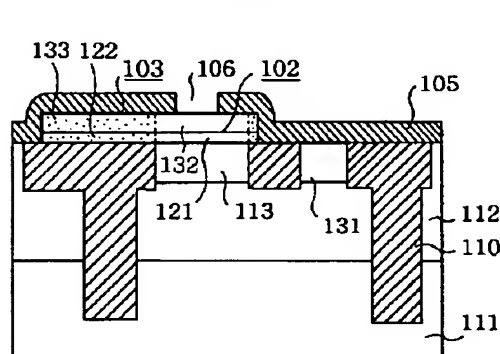
2・・・シリコン半導体層、 5・・・シリコン窒化 10
膜、 6、106・・・開口部、 8、108・・・エ
ミッタ引き出し電極、 9、109・・・エミッタ領域、

10、110・・・素子分離領域、11、111・・・半導体基板、12、112・・・n型不純物拡散領域(1ウエル)、13、113・・・n⁺不純物拡散領域、14、114・・・層間絶縁膜、15、115・・・エミッタ金属電極、16、116・・・ベース金属電極、17、117・・・コレクタ金属電極、21・・・単結晶シリコン層、22・・・多結晶シリコン層、102・・・Si膜(半導体層)、103・・・SiGe膜(半導体層)、105・・・絶縁膜、121・・・単結晶Si膜、122・・・多結晶Si膜、131・・・高濃度不純物拡散領域、132・・・単結晶SiGe膜、133・・・多結晶SiGe膜、

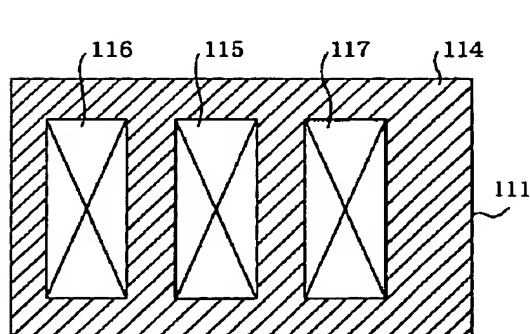
【图2】



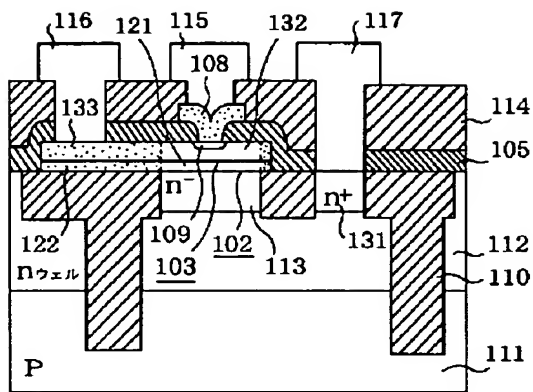
【图4】



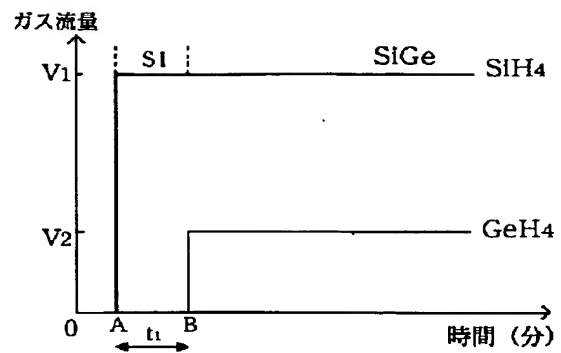
【图7】



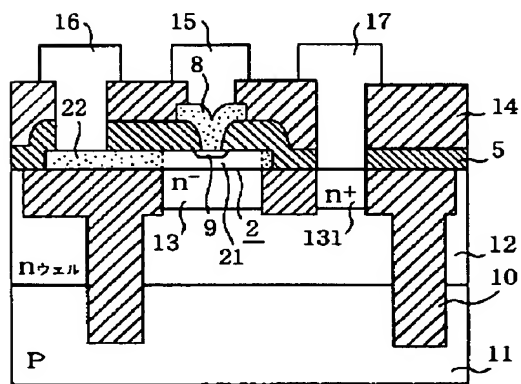
【図6】



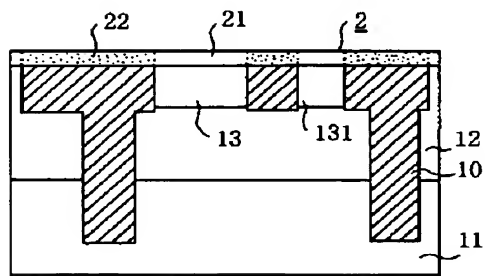
【図8】



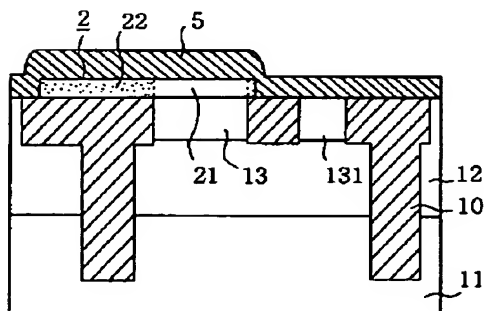
【図9】



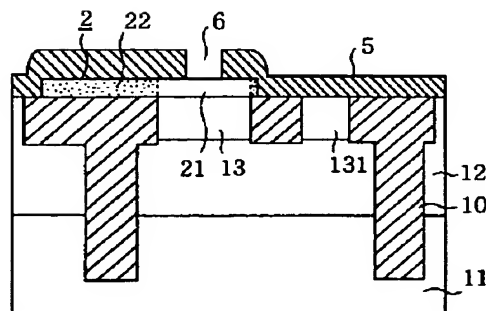
【図10】



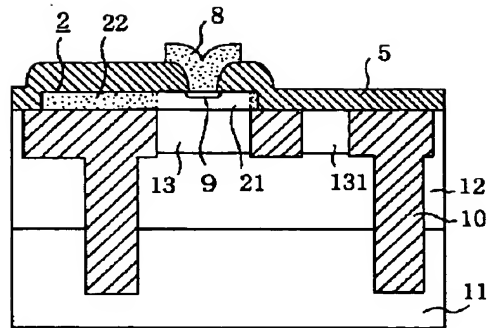
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. ⁷
H01L 29/417

識別記号

F I

ターマコード (参考)

F ターム(参考) 4M104 AA01 BB01 BB02 BB36 CC01
DD06 DD08 DD16 DD17 DD43
DD50 GG06 HH09 HH16
5F003 AP07 BA13 BA27 BA97 BB02
BB04 BB05 BB06 BB07 BC08
BE07 BF06 BH06 BH18 BM01
BP31 BP34 BP93
5F045 AB01 AB02 AB32 AB33 AC01
AD10 AD11 AE23 AF03 CA02
DB03 EE12 HA12 HA15 HA16
HA20 HA22